

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-016782

(43)Date of publication of application : 21.01.1992

(51)Int.Cl.

G01R 31/28

(21)Application number : 02-122494

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.05.1990

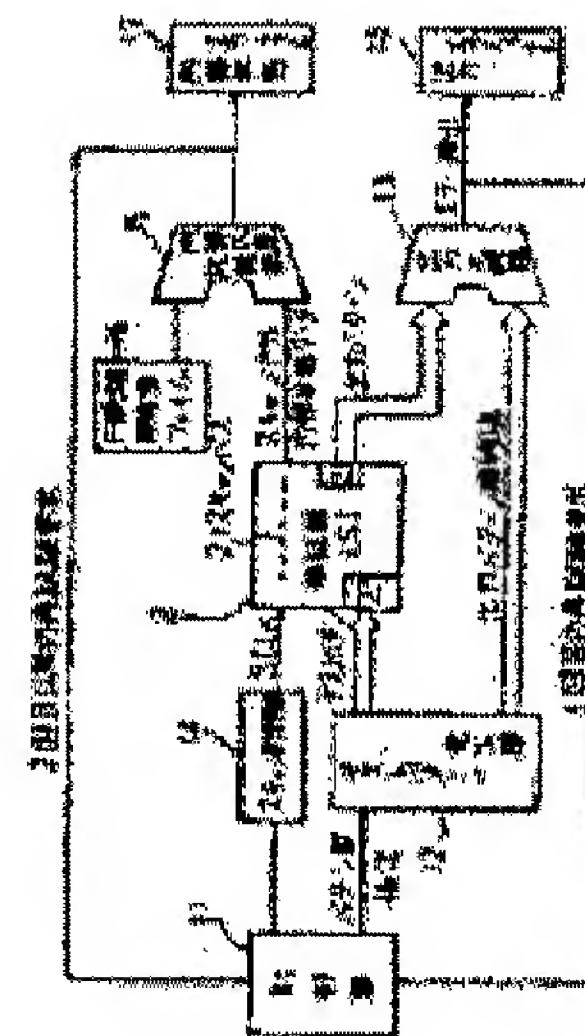
(72)Inventor : KOBAYASHI NOBORU

(54) METHOD AND APPARATUS FOR TESTING LSI

(57)Abstract:

PURPOSE: To achieve the enhancement of the testing efficiency of an LSI containing a sequence circuit by retroractively tracking the propagation of the trouble in the LSI and automatically specifying a part where trouble is generated in the first place.

CONSTITUTION: A test pattern system of predetermined length is inputted to the usual input terminal 22 of an LSI 2 having a scan pass circuit 21 to perform a function test and, when an output error is generated at the point of time when a certain test pattern is inputted, an internal state is read through the scan pass circuit 21 to be compared with an expectation value and a function test inputting the same test pattern system up to the patterns and this side by one from the number of patterns of the previous time is repeatedly performed when there is an internal state error until the internal state error is not generated and, from the obtained propagation state of the internal state error, a trouble place is specified. By this method, a part where first trouble is generated can be automatically calculated.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-16782

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月21日

G 01 R 31/28

6912-2G

G 01 R 31/28

G

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 L S I 試験方法とその試験装置

⑯ 特 願 平2-122494

⑰ 出 願 平2(1990)5月11日

⑱ 発 明 者 小 林 登 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

L S I 試験方法とその試験装置

2. 特許請求の範囲

1. スキャンバス回路(21)を有するL S I (2)の通常の入力端子(22)に所定長のテストパターン系列を入力して機能試験を行い、あるテストパターン入力時点で出力エラーが発生した場合は、該スキャンバス回路(21)を介して内部状態を読出し、期待値と比較し、内部状態エラー有りの場合は前回パターン数より一つ手前のパターンまでの同一テストパターン系列を入力する機能試験を内部状態エラーが発生しなくなるまで繰り返して行い、得られた内部状態エラーの伝播状況から故障箇所を特定することを特徴とするL S I 試験方法。

2. 再試験要求信号が入力すると前回試験時のテストパターン系列よりも1パターン手前までのテストパターン数による再試験を指示する制御部(11)と、

指示された前記パターン数のテストパターン系列を被試験L S I (2)の通常の入力端子(22)に順次供給すると共に、それぞれのテストパターンに対応する出力パターンの期待値を出力比較部(13)に供給するテストパターン発生部(12)と、

前記被試験L S I (2)の出力パターンと前記期待値とを比較して出力エラーを検出したら一回目の再試験要求信号を出力する前記出力比較部(13)と、

前記指定パターン数のテストパターン系列の供給が終了するたびに、スキャンバス回路(21)を介して前記被試験L S I 2の内部状態を出力させるスキャン制御部(14)と、

前記出力した内部状態を対応する内部状態期待値と比較して内部状態エラーが発生した場合には二回目以降の再試験要求信号を出力する内部状態比較部(15)とを有することを特徴とするL S I 試験装置。

特開平4-16782(2)

3. 発明の詳細な説明

〔概 要〕

スキャンバス回路を備えたLSIの試験方法とその試験装置に関し、

通常入力端子から入力される機能試験のテストパターンとスキャンバス回路による内部状態を読出し法を用いて、順序回路よりなるLSIの内部の故障箇所を自動的に特定するLSIの試験方法を提供することを目的とし、

スキャンバス回路を有するLSIの通常の入力端子に所定長のテストパターン系列を入力して機能試験を行い、あるテストパターン入力時点で出力エラーが発生した場合は、該スキャンバス回路を介して内部状態を読出して期待値と比較し、内部状態エラー有りの場合は前回パターン数より一つ手前のパターンまでの同一テストパターン系列を入力する機能試験を内部状態エラーが発生しなくなるまで繰り返して行い、得られた内部状態エラーの伝播状況から故障箇所を特定する構成である。

ンバス法によって検査する。

第2図は、本発明が適用されるLSIの回路図である。この回路は組み合わせ回路31～34と、順序回路であるフリップフロップ41～46から形成されている。スキャンバス法は、これらのフリップフロップを通常バスとは別に専用バス(図では点線で示す)で直列に接続してスキャンバス回路21を形成しておき、通常動作時のシステムクロックとは別のシフトクロックSCLKをシフトクロック入力端子53に与えることによって、全フリップフロップをシフトレジスタとして動作させ、スキャンデータ入力ピン51から直列にフリップフロップに任意のデータをセットしたり、スキャンデータ出力ピン52からフリップフロップのデータを読み出して期待値と比較し、順序回路を含む論理回路の内部状態を試験するものである。

スキャンバス法で試験する場合には、試験装置がランダムパターンに近いテストパターンを自動発生して行う。最近の数万ゲート以上の超LSIにおいては、フリップフロップの個数が数千個に

〔産業上の利用分野〕

本発明は、スキャンバス回路を備えたLSIの試験方法とその試験装置に関する。

半導体技術の急激な発展により、LSI又はVLSIの集積規模が増大している。集積規模が大きくなるほどLSIの内部回路が設計通りに動作するか否かの試験が困難となり、検査に長時間を要するようになっており、効率の良い試験方法が望まれる。

〔従来の技術〕

LSIの内部論理回路は大別すると組合せ回路と順序回路とからなり、所望の機能を実現するために両者を混在して用いるの普通である。順序回路の代表的なものとしてフリップフロップがある。この順序回路を含む論理回路の試験を容易にするための検査容易化設計として、スキャンバス回路を設けることが行われる。

通常、大規模LSIの出荷試験等で大量の被試験LSIを短時間で検査する場合は、まずスキヤ

も及び、スキャンインするパターンのビット数が多くなるため、パターンの組み合わせの数が膨大なものとなり、これらの全てのパターンについてスキャンバス法で検査することは困難になってきている。

そこで、出荷試験等の大量試験においては上記スキャンバス法により、ある程度の入力パターンでフリップフロップの検査を行って良品を選別した後、当該LSIの使用状態で頻繁に入力される入力パターンに近いテストデータにより機能試験を行なっている。これは通常の入力ピンから、テストパターン時系列で順次入力し出力ピンからの出力パターンを期待値と比較することによって故障の有無を判定する検査である。

即ちスキャンバス法で良品となったものについて、さらに入力ピンから通常使用状態に多用される試験パターンを印加して出力パターンを調べる機能試験を行っている。

特開平4-16782(3)

(発明が解決しようとする課題)

この機能試験では、LSIの実際の動作時に多用される試験パターンを通常動作時に用いる入力端子から入力して通常の出力端子からの出力パターンを期待値と比較して検査する。しかしLSIが内部記憶素子(フリップフロップ)を有する順序回路の場合は、その時点の入力パターンによって出力パターンが一意に定まらず、その時の内部状態に依存する。そしてこの内部状態はその時点までに入力されたパターン系列によって定まる。

しかし、順序回路を含む論理回路においてテストの期待値に対してエラーが発生する場合、内部のフリップフロップによる遅延のため、故障素子にアクセスするパターンは、出力エラー検出時に入力されたパターンの数〜数十パターン前の入力パターンによるものであることが大部分である。

例えば、故障部分の素子をイネーブルとするフラグをテストパターンでセットしても、その回路をアクセスするテストパターンが入力されかつ故障素子を通過して出力端子まで伝播してこないと、

スキャンパス回路21を有するLSI2の通常の入力端子22に所定長のテストパターン系列を入力して機能試験を行い、あるテストパターン入力時点で出力エラーが発生した場合は、該スキャンパス回路21を介して内部状態を読出して期待値と比較し、内部状態エラー有りの場合は前回パターン数より一つ手前のパターンまでの同一テストパターン系列を入力する機能試験を内部状態エラーが発生しなくなるまで繰り返して行い、得られた内部状態エラーの伝播状況から故障箇所を特定することを特徴とする本発明のLSI試験方法、

または、

再試験要求信号が入力すると前回試験時のテストパターン系列よりも1パターン手前までのテストパターン数による再試験を指示する制御部11と、

指示された前記パターン数のテストパターン系列を被試験LSI2の通常の入力端子22に順次供給すると共に、それぞれのテストパターンに対応する出力パターンの期待値を出力比較部13に供給するテストパターン発生部12と、

出力パターンにはエラーとして現れてこない。

従ってエラーしたパターンからは誤りの原因は何であったかを判定することは非常に難しい。

このため発生したエラーパターンだけから故障部分を特定することが困難であり、従来はエラーパターンの前後の入出力パターンを含めてチェックして故障箇所を推定していた。この方法では時間がかかり効率が悪く、また故障箇所を正しく特定できないという問題点があった。

本発明は上記問題点に鑑み創出されたもので、通常入力端子から入力される機能試験のテストパターンとスキャンパス回路による内部状態を読出し法を用いて、順序回路よりなるLSIの内部の故障箇所を自動的に特定するLSIの試験方法を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明のLSI試験方法およびその試験装置を示す図である。

上記問題点は第1図に示すように、

前記被試験LSI2の出力パターンと前記期待値とを比較して出力エラーを検出したら一回目の再試験要求信号を出力する前記出力比較部13と、

前記指定パターン数のテストパターン系列の供給が終了するたびに、スキャンパス回路21を介して前記被試験LSI2の内部状態を出力させるスキャン制御部14と、

前記出力した内部状態に対応する内部状態期待値と比較して内部状態エラーが発生した場合には二回目以降の再試験要求信号を出力する内部状態比較部15とを有することを特徴とする本発明のLSI試験装置、

により解決される。

(作用)

前回より一パターン短い同一入力パターン系列を繰り返して入力し、この入力終了の都度、スキャンパスを介して内部状態を読出して良否を判定することより、出力パターンにエラーが現れる時点より前の内部状態を1ステップづつさかのぼっ

特開平4-16782(4)

て知ることができる。

即ち例えば $n-i$ 番目の入力パターン系列では内部状態エラーがあり、1パターン前の $n-(i+1)$ 番目の入力パターン系列では内部エラーが発生しないとすれば、 $n-i$ 番目のパターンを入力した時点で内部エラーが初めて発生したことが判り、この内部状態エラーを分析することにより、故障が発生した記憶素子（フリップフロップ）または該記憶素子に出力する組合せ回路が故障箇所であると特定することが容易にできる。また試験装置は入力パターン系列を1パターンずつ短くしながら再試験を繰り返すようになっているので、上記試験を自動的にを行い試験時間を短縮することができる。

〔実施例〕

以下添付図により本発明の実施例を説明する。第1図は本発明のLSI試験方法およびその試験装置を示す図、第2図は本実施例が対象とするLSIの内部回路を示す図、第3図は試験方法を示

あり、再試験要求信号が入力すると前回試験時のテストパターン系列の長さよりも1パターン短いパターン数での試験を指示する。2はテストパターン発生部で、制御部11から指示された前記パターン数のテストパターン系列を被試験LSI2の入力部に順次供給すると共に、それぞれのテストパターンに対応する出力パターンの期待値を出力比較部13に供給する。13は出力比較部で、被試験LSI2の出力部からの出力パターンと前記テストパターン発生部12からの正しい期待値とを比較し、出力パターンと該出力パターンに対応する期待値とが一致しないという出力エラーを検出したら、一回目の再試験要求信号を制御部11に送出する。14はスキャン制御部で、通常入力端子22からの上記指定パターン数のテストパターン系列の入力が終了した後に、被試験LSI2のフリップフロップにシフトクロックを印加してスキャンバス回路21を介してフリップフロップの論理値からなる内部状態データを逐次出力させる。

15は内部状態比較部で、スキャンバス回路21か

らフローチャート、第4図は故障箇所の特定法を説明するための図である。なお全図を通じて同一符号は同一対象物を示す。

第2図において、LSI2の論理回路は、複数の並列入力端子22および並列出力端子23とを有し、4つの組合せ回路31~34とこれらの組合せ回路間に設けられて通常のバスを形成する6個のフリップフロップ41~46とから構成されており、機能試験時に入力端子22に加えられるテストパターン系列はフリップフロップを3段通過した後、出力端子23に現れるものとする。そしてすべてのフリップフロップ41~46はスキャンバス回路21により直列に接続されており、通常動作クロックとは異なるシフトクロックSCLKがシフトクロック端子53に印加されると各フリップフロップ41~46はシフトレジスタ動作を行って、その保持値をスキャンアウト端子52からシリアルに順次出力するように構成されている。

第1図において、1は同一テストパターンで繰り返し試験を行うように各部を制御する制御部で

ら出力した内部状態データを内部状態期待値と比較して内部状態エラーが発生した場合には二回目以後の再試験要求信号を制御部11に送出する。

16は内部状態期待値ファイルで、予め故障シミュレーションにより求められた各長さのテストパターン入力に対する内部状態の期待値（全フリップフロップの論理値）が格納されている。

17は内部状態エラーファイルで、検出された内部状態エラーのエラーパターンを格納しておき、故障箇所の解析に用いるためのものである。

18は出力エラーファイルで検出された出力エラーのエラーパターンを格納しておくものである。

次に、第3図の試験手順を示すフローチャートにより上記構成になる試験装置を用いた本発明のLSI試験方法を説明する。

X_n はテストパターン系列における n 番目の入力テストパターン、 S_n 、 Y_n はその時点に対応するLSIの内部状態（フリップフロップの値）および出力パターンである。

①まず被試験LSI2の通常入力端子22に所定

特開平4-16782(5)

長のテストパターン系列 $X_1 \sim X_n$ を供給して通常の機能試験を行う。

②通常機能試験の途中のテストパターン X_n まで入力した時点で、出力パターン Y_n が期待値と異なるという出力エラーを出力比較部が検出したものとする。

③すると出力比較部13は一回目の再試験要求信号を制御部11に送出するので、制御部11は試験を停止する。

④そして制御部11の制御によりテストパターン発生部12は前回より1パターンだけ短い同一テストパターン $X_1 \sim X_{n-1}$ を順次被試験LSIの通常入力端子に入力して再試験を行う。この試験が終了した時点では出力パターンにはエラーは現れない。

⑤次に、制御部11はスキャン制御部14にスキャンアウト指令を出力して、フリップフロップの個数分のビット数からなるシフトクロックを全フリップフロップに供給し、スキャンバス回路を通じて全てのフリップフロップの論理値をスキャンア

ウト端子から内部状態比較部15に読み出す。内部状態比較部15は $N-1$ 番目ビットまでの入力パターン系列に対する内部状態期待値を内部状態期待値ファイル16から読み出し、スキャンアウト端子からの値と比較する。

⑥そして内部状態データが期待値と異なって内部状態エラーが発生している場合は、内部状態比較部15は制御部11に対して二回目以降の再試験を指示する再試験要求信号を送出する。

⑦すると制御部11は前回試験よりより1つ短い $N-2$ 番目のパターンまでのテストパターン系列をテストパターン発生部12から被試験LSI2の通常入力端子に逐次入力させた後、⑤スキャンアウト指令を出しその時点での内部状態を内部状態比較部15に出力させる。内部状態比較部は前回と同様に内部状態判定を行う。

以上の手順を内部状態エラーが発生しなくなるまで繰り返す。

次に以上の試験結果が格納されている内部状態エラーファイル17と出力エラーファイル18もとに

して、第4図(a)に示す内部状態エラー対応図を求める。図の如く、例えば X_{n-2} の入力パターンまでさかのぼると内部状態エラーが発生しなくなったとすると、 n 番目のテストパターン X_n の入力により発生した出力パターン Y_n のエラーは、2パターン前の X_{n-2} 番目の入力後の内部状態 S_{n-2} に初めて発生した内部状態エラーが伝播して出力に現れたものであることが分かる。内部状態 S_{n-2} のエラーは、同図(b)に示すように、全てのフリップフロップの実際値とその期待値とを比較することによって検出されたものであり、このエラーパターンから特定のフリップフロップ(例えばフリップフロップ43)か、またはその前段の組合せ回路32に故障箇所を特定することができる。

このように機能試験のパターンを使って、故障箇所を特定することが可能となる。

以上説明したように本発明の試験装置および試験方法により、順序回路を含むLSI論理回路における故障部分を、通常の機能試験パターンを用

いて自動的に特定することが可能となり、テストの効率を向上させることができる。

〔発明の効果〕

以上説明した如く、本発明によれば、通常入力端子から機能試験のテストパターンを1パターンずつ減らして繰り返し入力し、その都度スキャンバスを介して内部状態エラーを調べることによって、LSI内部における故障の伝播をさかのぼって追跡し最初に故障が発生した部分を自動的に特定することが可能となり、順序回路を含むLSIの試験の効率化を達成することができる。

4. 図面の簡単な説明

第1図は、本発明のLSI試験方法およびその試験装置を示す図、

第2図は、本発明の試験が適用されるLSIの回路図、

第3図は、本発明の試験手順を示すフローチャート、

特開平4-16782(8)

第4図は、故障箇所の特定法を説明するための図である。

図において、

11…試験装置の制御部、12…テストパターン発生部、
13…出力比較部、
14…スキャン制御部、15…内部状態比較部、
16…内部状態期待値ファイル、
17…内部状態エラーファイル、
18…出力エラーファイル、
2…被試験LSI、21…スキャンバス回路、
31～34…組合せ回路、41～46…フリップフロップ(記憶素子)
である。

代理人 弁護士 井 裕 貞

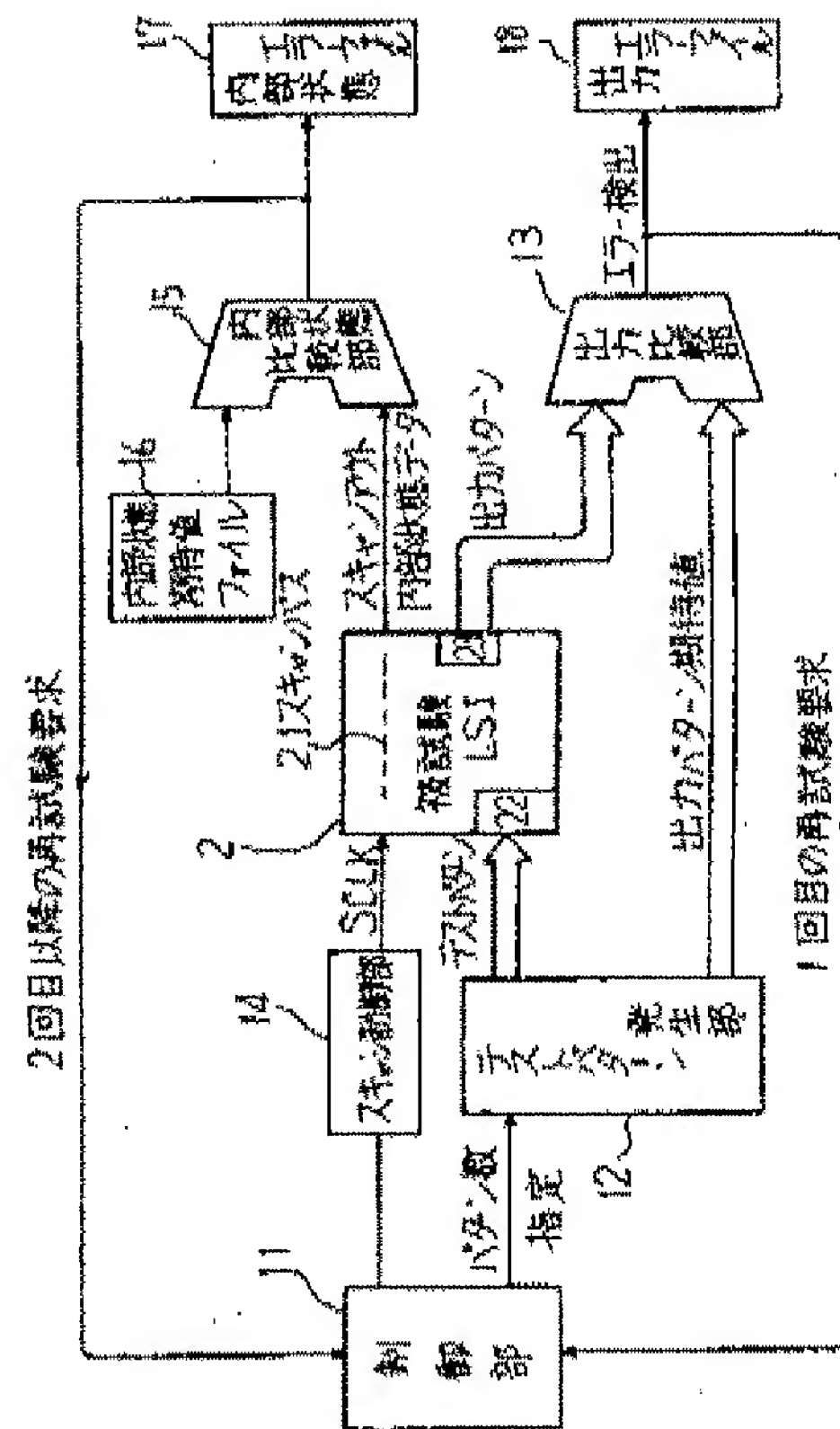


図1 本発明のLSI試験方法およびその試験装置を示す図

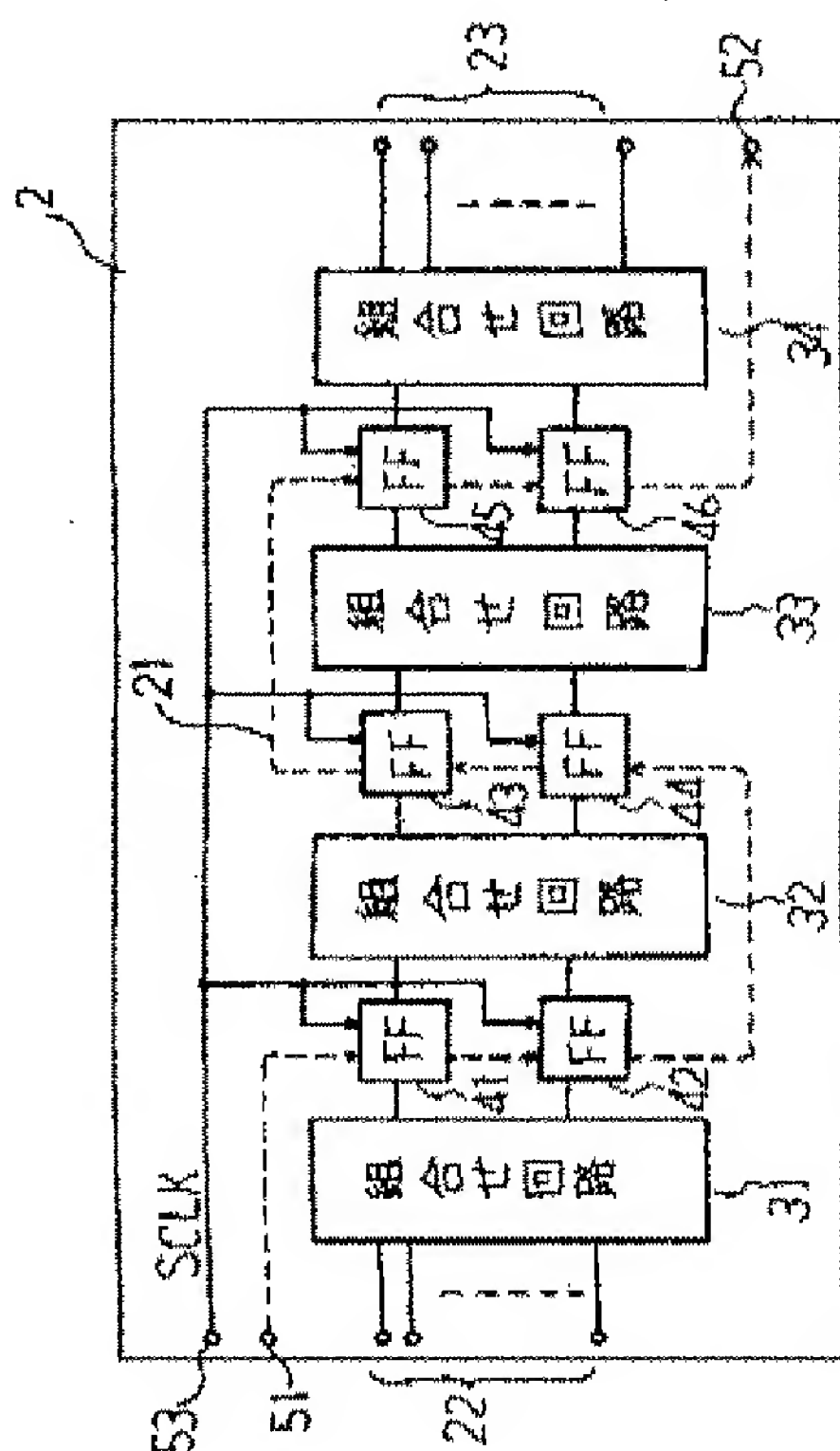


図2 本発明の試験が適用されるLSIの回路図

第2図

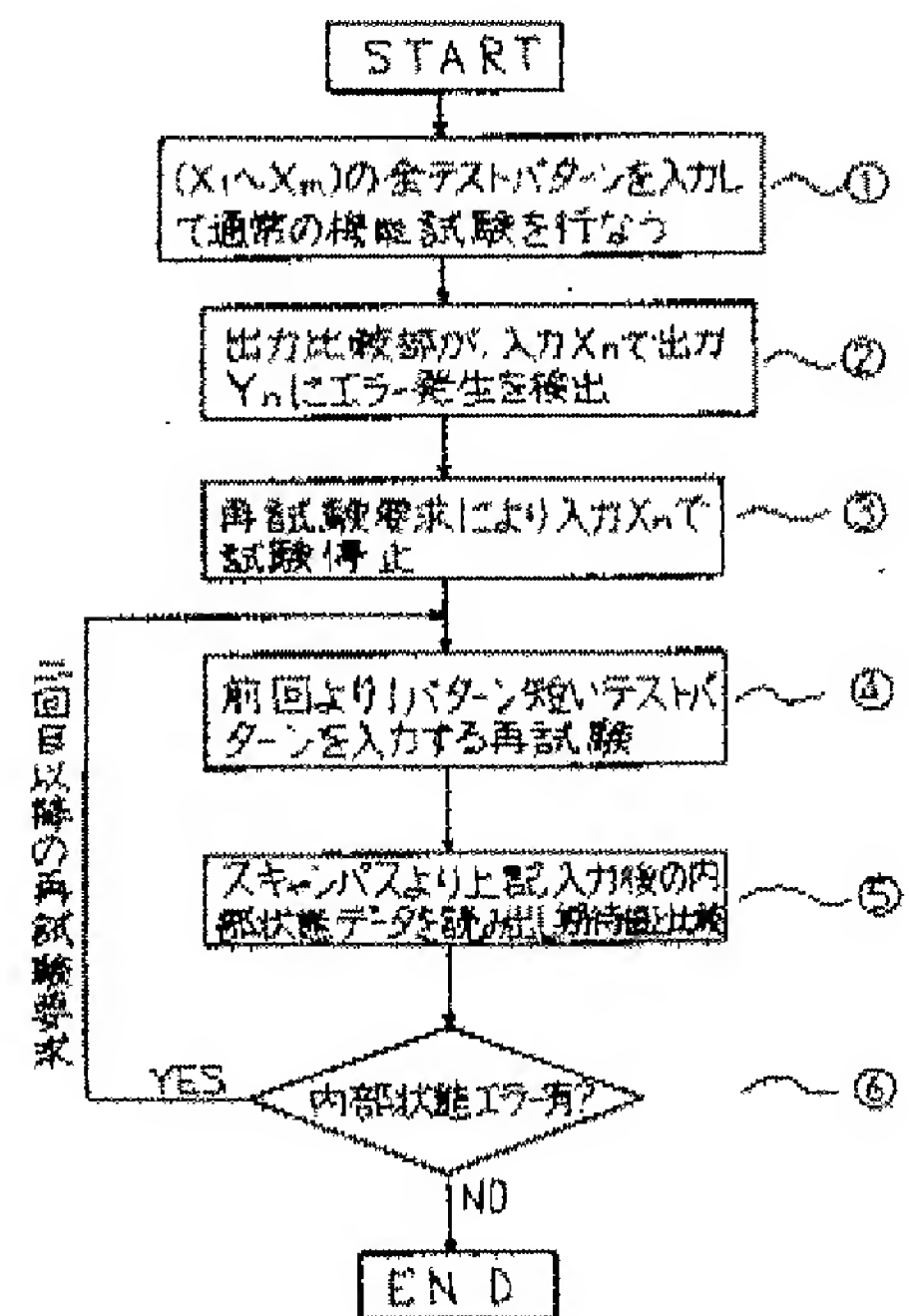



図3 本発明の試験手順を示すフローチャート

第3図

特開平4-16782(7)

入力パターン→	X_1	X_2	X_3	X_4	---	X_{n-3}	X_{n-2}	X_{n-1}	X_n	---	X_m
内部状態→	S_1	S_2	S_3	S_4	---	S_{n-3}	S_{n-2}	S_{n-1}	S_n		
出力パターン→	Y_1	Y_2	Y_3	Y_4	---	Y_{n-3}	Y_{n-2}	Y_{n-1}	Y_n	---	Y_m

 ---エラー検出

エラー対応表

(a)

FF番号→	A1	A2	A3	A4	A5	A6
実際データ→	a	b	c	d	e	f
期待値→	a	b	c'	d	e	f

↓不一致

内部状態 エラーパターン	0	0	1	0	0	0
-----------------	---	---	---	---	---	---

FF43又はその前段が故障

内部状態 S_{n-2} のエラーパターンによる故障箇所の特定

(b)

故障箇所の特定法を説明するための図

第 4 図